

HIGH SPEED MEMORY DEVICE

Patent number:

JP62135949
1987-06-18

Publication date:

BARI AARU ROBAATSU
TOKYO SHIBAURA ELECTRIC CO

Inventor:

- International:
G06F12/00; G06F13/16, G06F13/20
G11C7/10; G11C7/10T; G11C7/22

- European:
JP19860268713 19861113

Application number:

US19850806427 19851209

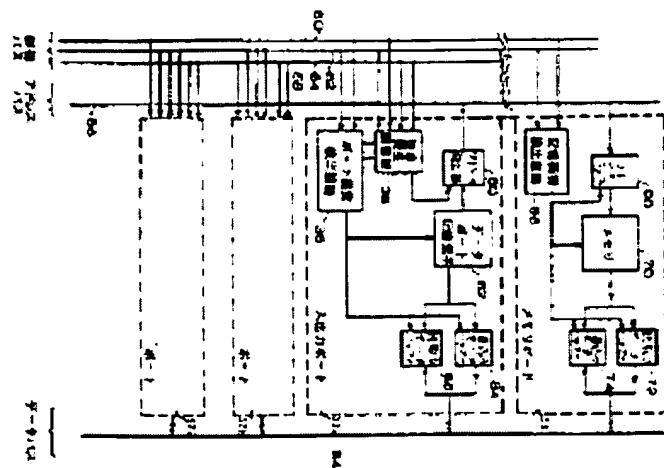
Abstract of **JP62135949**

PURPOSE: To increase the using efficiency of a data bus by delaying and transferring data with a data reading buffer and a data writing buffer.

CONSTITUTION: To a control bus 60 and a data bus 54, the request signal, in which reading and writing are mixed, and data are successively continuously sent. A memory colliding detecting circuit 66 of a memory board 50 detects the request signal transmitted successively, the writing requesting signal comes immediately after the reading requesting signal, and then, the data read from a memory 70 are stored and delayed to a reading data buffer 72 to avoid the collision of the data by a data transferring cycle, and so as to transfer toward the bus 54 after the processing is completed by the writing requesting signal, a reading data buffer 72 and a writing data buffer 74 are controlled. When the reading requesting signal comes immediately after the writing requesting signal, the reading data at the time of the access cycle are delayed ad processed by the buffer 72, and the control is executed. A port colliding detecting circuit 38 of an input output port 52 executes the same processing as the

Also published as:
 US4792926 (A1)

memory colliding detecting circuit 66 of the
memory board 50.



Ref-1

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-135949

⑬ Int.CI. ¹	識別記号	厅内整理番号	⑭公開 昭和62年(1987)6月18日
G 06 F 13/16		6711-5B	
12/00	3 0 3	6711-5B	
13/20	3 1 0	Z-7165-5B	審査請求 未請求 発明の数 1 (全16頁)

⑮発明の名称 高速記憶装置

⑯特 願 昭61-268713

⑰出 願 昭61(1986)11月13日

優先権主張 ⑱1985年12月9日⑲米国(US)⑳806427

㉑發明者 バリー アール・ロバ アメリカ合衆国イリノイ州 リンデンハースト イースト
ーン グランド アベニュー 1708

㉒出願人 株式会社東芝 川崎市幸区堀川町72番地

㉓代理人 弁理士則近憲佑 外1名

明細書

1. 発明の名称

高速記憶装置

2. 特許請求の範囲

データを保持する記憶手段と、該記憶手段からデータバスにデータを読み取る第1の手段と、該データバスから該記憶手段にデータを書き込む第2の手段と、制御バス上のデータ読み取り要求信号に対しては、該第1の手段によって、制御バス上のデータ書き込み要求信号に対しては、該第2の手段によって、逐次混合したデータ読み取りおよび書き込み要求信号を受信するとともに各要求信号に応じてデータ転送を行なう記憶制御手段と該逐次混合したデータ読み取りおよび書き込み要求信号を転送する制御バスを具備することを特徴とする高速記憶装置。

3. 発明の詳細な説明

【発明の目的】

(発明の利用分野)

本発明は、大量のデータ処理、複雑なデータ操

作及び広帯域幅のデータを記憶し、それらデータを高速に他の関連する機器へ転送するための高速記憶装置に関するものである。

(従来の技術)

大量のデータを記憶する容量を有し、しかも相互接続のデータバスを介してそのデータを複数の入出力ポートに伝達する能力をも有する記憶装置が知られている。このような記憶装置を第2図に示す。第2図の従来の記憶装置は、メモリボード10と、複数の入出力ポート12と、データバス14と、アドレスバス16と、制御バス18と、要求一肯定応答バス20とを具備する。

メモリボード10は、アドレスパッファ22と、記憶制御装置24、記憶素子26と、データパッファ28とで構成されるものとして示す。アドレスパッファ22の入力は、アドレスバス16に接続され、出力は記憶素子26のアドレス入力に接続されている。記憶素子26のデータ端子はデータパッファ28の第1のデータバス端子に結合され、またデータパッファ28の第2のデータバス端子はデータバス14に接続されている。アドレ

スパッファ22と、記憶素子26と、データバッファ28の動作は、制御バス18に接続された入力を有する記憶制御装置24の動作によって支配される。

出入力ポート12はそれぞれ、アドレスゼネレータ30と、出入力ポート制御装置32と、記憶素子34と、データバッファ36などで構成される。アドレスゼネレータ30の出力はアドレスバス16に結合されている。アドレスゼネレータ30は、アドレス36によって記憶素子34のアドレス端子に結合されている。記憶素子34のデータバス端子は、データバス38によってデータバッファ36の第1のデータバス端子に接続される。データバッファ36の第2のデータバス端子は、データバス14に結合されている。アドレスゼネレータ30と、記憶素子34と、データバッファ36の動作は、出入力ポート制御装置32に支配される。出入力ポート制御装置32の第1の入力ポート端子は制御バス18に結合され、第2の入力端子は要求-肯定応答バス20に結合されている。

- 3 -

受取る。さらに、制御装置32によってアドレスゼネレータ30は、適切なアドレス信号をアドレスバス16を介して伝送することが認められ、メモリボード10のアドレスバッファ22がこれを受取る。書込みデータ要求の場合、制御装置32はさらに、データバッファ36の動作によって適切なデータを記憶素子34からデータバス14に読み取らせる。読み取りデータ要求の場合は、出入力ポート制御装置32が動作し、メモリボード10の動作によって記憶素子26からバス14に読み取ったデータを、データバス14からデータバッファ36を通り記憶素子34に転送する動作を制御する。

次に、制御バス18を介して記憶制御装置24が読み取りデータ要求信号を受取り次第、メモリボード10が動作して、アドレスバッファ22に適切なアドレスデータをアドレスバス16から記憶素子26に伝達させ、さらにそのアドレス指定されたデータを記憶素子26からデータバッファ28を通りデータバス14に読み取る。制御バス18を介して書込みデータ要求を受取ると、記憶

第2図に示す従来の記憶装置はさらに要求回路40をも具備し、この要求回路装置40は、要求-肯定応答バス20に結合された要求回路回路42を具備する。

第2図に示す従来回路の動作においては、出入力ポート12は出入力ポート制御装置32で要求信号を発生して、メモリボード10の記憶素子26からデータを読み取るか、またはメモリボード10の記憶素子26にデータを書き込む。この要求信号は、要求-肯定応答バス20を介して送られ、要求回路回路42で受取られる。この回路42は、どの出入力ポートに優先度を与えてメモリボード10にアクセスさせるべきかを決定する。次に回路42は、対応する優先度肯定応答信号を要求-肯定応答バス20を介して、優先度が与えられたポート12に送出する。この肯定応答は、バス20を介し選択されたポート12の出入力ポート制御装置32に受取られる。次に選択されたポート12の出入力ポート制御装置32が、制御バス18を介して適切なデータ読み取り要求またはデータ書き込み要求を出し、メモリボード10がこれを

- 4 -

制御装置24は、データバス14からのデータをデータバッファ28を介して記憶素子26内の所定のアドレス位置に書込むよう動作する。このアドレス位置は、アドレスバス16を介しアドレスバッファ22が受取ったアドレスが示すものである。

2図に示す従来の記憶装置は、各記憶サイクルが第3図に示すような要求サイクルフェーズと、アクセスサイクルフェーズデータ転送サイクルフェーズとを具備する一連の記憶サイクルで動作すると言つてもよい。第3図からわかるように、記憶サイクル1の要求サイクルフェーズ中に、読み取り要求信号R1が制御バス18を介してメモリボード10で受取られる。次の記憶サイクル2のアクセスフェーズでは、読み取り要求R1は、記憶素子26からデータバッファ28に読み取られるデータの転送となる。次の記憶サイクル3のデータ転送サイクルフェーズでは、読み取り要求R1によって、読み取ったデータバッファ28からデータバス14に転送され、要求を出している入出力ポート12によって受取られることになる。従って、メ

- 5 -

- 6 -

モリボード10からデータを読み取るには、記憶サイクル1の要求サイクルフェーズと、次の記憶サイクル2のアクセスサイクルフェーズとさらに次の記憶サイクル3のデータ転送サイクルフェーズとが必要になる。

第3図にさらに示す通り、記憶サイクル2は、読み取り要求R1用のアクセスサイクルフェーズの実行に加えて、要求サイクルフェーズで第2のデータ読み取り要求R2を受取ることもできる。データ要求R2は、記憶サイクル3でデータアクセスサイクルフェーズとなり、記憶サイクル4でデータ転送サイクルフェーズとなる。メモリボード10にデータを書き込むために、記憶サイクル4の要求サイクルフェーズ中にデータ書き込み要求W1が制御バス18を介して受取られる。記憶サイクル5のデータ転送サイクルフェーズ中には、記憶素子26に書き込むデータがデータバス14から受取られ、データバッファ28に記憶される。第3図に示す通り、記憶サイクル6のアクセスサイクルフェーズ中には、書き込み要求W1のデータバッファ28から記憶素子26に転送される。さらに

- 7 -

り、逆続する逐次混合の読み取りおよび書き込み要求が作成される。)次の記憶サイクル3のデータ転送サイクルフェーズ中に読み取り要求R1と書き込み要求W1との間に衝突が起こる。特に、記憶サイクル3のデータ転送サイクルフェーズ中では、読み取り要求R1のデータをデータバッファ28からデータバス14へと移動させる試みがなされ、しかも同時に、同じ記憶サイクル3のデータ転送サイクルフェーズ中で、書き込み要求W1に応じて書き込まれるデータをデータバス14からデータバッファ28に移動させようとする試みも起こる。このデータバス14にアクセスする試みが同時に発生することによって、記憶サイクル3のデータ転送サイクルフェーズ中に過度の衝突を起こすことになる。同様の不必要な衝突が、逐次書き込み要求と読み取り要求に続く第3番目の記憶サイクルのアクセスサイクルフェーズで発生する。この衝突は、第4図で記憶サイクル5、6、7について示す。特に逆続する逐次記憶サイクル5、6の要求サイクルフェーズに書き込み要求W2と次の読み取り要求R2がある場合には、記憶サイクル1のアクセス

第3図に示す通り、記憶サイクル5の要求サイクルフェーズ中には、第2の書き込み要求W2が受取されることもある。これにより、記憶サイクル6中に書き込み要求W2用のデータ転送サイクルフェーズとなり、記憶サイクル7中に書き込み要求W2用の次のアクセスサイクルフェーズとなる。

このようにして第2図の従来装置は、逐次受取った書き込み要求と、逐次受取った読み取り要求とを、連続記憶サイクルの要求サイクルフェーズ中に実行することができる。しかし、第2図の従来装置は、逆続する逐次混合した読み取りおよび書き込み要求を受取ることはできない。この“逆続する逐次要求”という用語は、逆続する一連の要求サイクルフェーズ中に時間に追って別のものから受取られる要求を意味する。すなわち、この要求は、100%利用される一連の要求サイクルフェーズ中に受取られるのである。例えば第4図に示すように、読み取り要求R1を受取った要求サイクルフェーズのすぐ後に続く、記憶サイクル2の要求サイクルフェーズにおいて、書き込み要求W1が第2図の従来装置によって受取られた場合(これによ

- 8 -

サイクルフェーズ中で、読み取り要求R2に応じて読み取られるデータを記憶素子26からデータバッファ28に移ろうという試みがなされ、同時に、記憶サイクル1の同じアクセスサイクルフェーズ中で、書き込み要求W2に応じて書き込まれるデータをデータバッファ28から記憶素子26に移そうとする。この結果、記憶素子26にアクセスしようとする試みが同時に起き、これが許されない衝突を引き起こす。

第4図に示したような衝突を避けるために、第2図に示す従来装置では要求制限回路42を使用しており、この回路が、第4図について述べた種類の逆続する逐次読み取り要求および書き込み要求、あるいは逆続する逐次書き込み要求および読み取り要求がいかなる時点でも発生しないことを保証している。その代わりに、逆続する逐次記憶サイクルの要求サイクルフェーズにおいて、読み取り要求から書き込み要求へ、または書き込み要求から読み取り要求への変更が行われる場合には必ず、その変更の間の記憶サイクルの任意の要求サイクルフェーズを、第3図に示すように空にしておかなければな

- 9 -

- 10 -

らない。すなわち、記憶サイクルの空の要求サイクルフェーズのそれぞれが最後には、次の記憶サイクルのこれに対応する空のデータ転送サイクルフェーズや、次の記憶サイクルの空のアクセスサイクルフェーズとなるので、第2図に示す従来装置では、データバス14の帯域幅利用が100%未満になることを意味する。

上記の空のデータ転送サイクルフェーズとアクセスサイクルフェーズとを第5図および第6図に示す。第5図では、ポート1は、制御バスを介して一連の6個の迎続する逐次読み取り要求R1～R6を生成するものとして示されている。次にポート2は、一連の迎続書き込み要求W1～W5を実行する。しかしながら、第2図の要求調整回路42は、第4図について前に説明した種類のデータ転送サイクルフェーズの衝突を避けるために、記憶サイクル1の要求サイクルフェーズを空のままにしておかなければならない。さらにポート3は、次に一連の読み取り要求信号R1～R4を制御バスを介して送出するものとして第4図に示されている。これらの信号も、記憶サイクル13用の

空の要求サイクルフェーズによって、書き込み要求W1～W5から分離しなければならない。この結果、第4図に示すように、記憶サイクル8および9のアクセスサイクルフェーズは空のままであり、記憶サイクル14および15のデータ転送。

サイクルフェーズも空のままである。このため、第2図の装置の場合には100%未満の帯域幅となる。

第6図には、ポート1, 2, 3を、別の読み取りおよび書き込み要求を生成したものとして示す。この結果、既述の記憶サイクル2, 4, 6, 8, 10, 12, 14, 16, 18のそれぞれの要求サイクルフェーズは、第4図について前に説明した衝突を避けるために、空の状態に保持しておかなければならない。このため、記憶サイクル3, 4, 7, 8, 11, 12, 15, 16, 19のアクセスサイクルフェーズが空のままであり、記憶サイクル5, 6, 9, 10, 13, 14, 17, 18の転送サイクルフェーズも空のままでなる。従って、第6図に示すような読み取り・書き込み要求シーケンスを経験する第2図の従来装置は、50

- 11 -

- 12 -

%しか帯域幅利用をしないものと思われる。

(発明が解決しようとする問題点)

このように従来の記憶装置にあっては、迎続的同時に送信されて来る読み出しおよび書き込み要求に応答する際、データ間の衝突が起こり必要とするデータの書き込み及び読み出しが適切に行なわれない欠点があり、また、それぞれの要求に続く次のサイクルにおいてそれらの要求に応じデータの転送を行なう際、読み出し、書き込み用のデータを交互に分離して行なわなければならないので、データバスの帯域幅を100%有効に活用できない欠点がある。

本発明は、これらの事情に鑑みてなされたもので、迎続する逐次読み取りおよび書き込み要求を受取る順番とは無関係に100%の帯域幅利用を行う高速記憶装置および関連の方法を提供することを目的とする。

(以下余白)

【発明の構成】

(問題点を解決するための手段)

この目的を達成するための本発明の構成は、逐次混合されたデータ読み取りおよびデータ書き込み要求信号を運ぶ制御バスと、データバスとを具備する高速記憶装置において、(a) データを保持する記憶手段と、(b) 該記憶手段からデータバスにデータを読み取る第1の手段と、(c) データバスから該記憶手段にデータを書き込む第2の手段と、(d) 制御バス上のデータ読み取り要求信号に応じて第1の手段を利用し、制御バス上のデータ書き込み要求に応じて第2の手段を利用して、逐次混合したデータ読み取りおよびデータ書き込み要求信号の迎続逐次受取りとその後の実行を可能にする記憶制御手段とで構成される。

(作用)

そして、この構成に基づく本発明の作用は、迎続する逐次混合したデータ読み取りおよびデータ書き込み要求信号に対して、所定位置に設けられたデータ読み取りバッファおよびデータ書き込みバッファが記憶手段および／またはデータバスへのデータ

- 13 -

- 14 -

転送を所定期間遅延せしるよう規定して、メモリ読み出し用アクセス信号とメモリ書き込み用アクセス信号を同時に生成することを防止するようにしたものである。

(実施例)

添付図面に示す本発明の実施例について以下に詳細に説明する。

本発明は、データ転送サイクルフェーズの衝突および／またはアクセスサイクルフェーズの衝突が通常はいつ起こり得るかを判定し、次に、予め定めた予定に従ってそのデータ転送サイクルフェーズとアクセスサイクルフェーズのうちから選択したものを遅延させる機構で構成される。特に、第7図に示すように、記憶サイクル1と2の連続逐次の要求サイクルフェーズでは、読み取り要求R1の後に書き込み要求W1が続く。第2図の従来装置の場合、第4図について説明した衝突は、記憶サイクル3の転送データサイクルフェーズ中に発生するものと思われる。しかし本発明は、この衝突を予想するもので、実施例においては、次の使用可能なデータ転送サイクルフェーズになるまで

- 15 -

示のためおよび限定しないために、全ての読み取り要求より全ての書き込み要求を優先させて予想するものとする。

第8図では、記憶サイクル1と2の連続逐次要求サイクルフェーズにおいて書き込み要求W1の後に読み取り要求R1が続く。これにより、第4図について説明した種類の、記憶サイクル3において起こり得るアクセスサイクルフェーズの衝突が発生する。しかし、本発明によれば、この起こり得る衝突は、第8図に示すように記憶サイクル4のアクセスサイクルフェーズ中に発生する予定の次に使用できるアクセスサイクルフェーズまで、読み取り要求R1用のアクセスサイクルフェーズを遅延させて避ける。ここでもまた、例示のためおよび限定しないために、第8図に示すように読み取り要求R1のアクセスサイクルフェーズより書き込み要求W1のサイクルフェーズが優先される。

本発明による記憶装置のブロック図を第1図に示す。第1図に示す装置は、メモリボード50と、複数の入出力ポート52a-iと、データバス54と、アドレスバス56と、さらに個々のバス

読み取り要求R1用のデータ転送リサイクルフェーズを遅延させる。特に、第7図に示すように、4個の書き込み要求W1-W4が記憶サイクル2から5の連続逐次要求サイクルフェーズにある場合には、読み取り要求R1用の次に使用可能な転送サイクルフェーズが記憶サイクル7のデータ転送サイクルフェーズ中に存在する。このため本発明は、記憶サイクル7のデータ転送リサイクルフェーズまで、読み取り要求R1用のデータ転送リサイクルフェーズを遅延する。

第7図に示した本発明の実施例は、読み取り要求用のデータ転送サイクルを次の使用可能なデータ転送サイクルフェーズまで遅延して、予想される読み取り要求／書き込み要求のデータ転送サイクルフェーズの衝突を解決しようとするものであるが、書き込み要求のデータ転送サイクルフェーズより読み取り要求のデータ転送サイクルフェーズを優先させてもよいと理解するべきである。しかも、優先選択についての何らかの予め定めた予定を使用してもよい。簡単にするために、また本発明の実施例に従って、ここに開示する予め定めた予定は、例

- 16 -

60, 62, 64を具備する制御バス58とを具備する。メモリボード50は、第1図では、記憶衝突検出回路66と、アドレスバッファ68と、記憶素子70と、読み取りデータバッファ72と、書き込みデータバッファ74とで構成されるものとして示す。記憶衝突検出回路66は、制御バス58のバス60を介して読み取り要求信号を受取り、制御バス58のバス62を介して書き込み要求信号を受取るように結合されている。記憶衝突検出回路66の出力は、アドレスバッファ68と、記憶素子70と、読み取りデータバッファ72と、書き込みデータバッファ74の動作を制御するように結合されている。アドレスバッファ68は、記憶衝突検出回路66の制御を受けて、アドレスバス56を介してアドレス信号を受取り、この信号を記憶素子70のデータバス端子に供給するように給付されている。記憶素子70のデータバス端子は、読み取りデータバッファ72か、書き込みデータバッファ74のいずれかを介してデータバス54に結合されているが、これもまた、記憶衝突検出回路66の動作に左右される。

- 18 -

入出力ポート 52a-i は、様々な構成を取つてもよい。例としておよび既定しないために、第 8 図に示す入出力ポート 52a は、ポート衝突検出回路 76、要求発生調整器 78、アドレスゼネレータ 80、ポートデータ記憶素子 82、書き込みデータバッファ 84、読み取りデータバッファ 80 とで構成されるものとして示す。ポート衝突検出回路 76 は、制御バス 58 のバス 60 を介した読み取り要求と、制御バス 58 のバス 62 を介した書き込み要求を受取るよう結合されている。要求発生調整器 78 は、制御バス 58 のバス 64 を介して他の入出力ポート 52b-i の要求発生調整器にいもづる式に接続されている。さらに、要求発生調整器 78 は、制御バス 58 のバス 60 を介して読み取り要求信号を出力し、制御バス 58 のバス 62 を介して書き込み要求信号を出力するよう結合されている。アドレスゼネレータ 80 は、要求発生調整器 78 の制御を受けて、データポート記憶素子 82 とアドレスデータをやり取りし、アドレスバス 56 を介してアドレスデータを出力するよう結合されている。さらに、ポートデータ記

- 19 -

に、次に優先度の高いポートに NO REQUEST 信号を送らせ、最も優先度の低いポートまで順にこの信号を送らせて判定する。このチェーン上の特定のポートがメモリボード 50 へのアクセスを求めている場合、必要なことは、次に優先度の高いポートから NO ACCESS 信号を受取り、その後で、バス 64 のディジーチェーン上の後に続くそれより優先度の低いポート全てに REQUEST ACCESS 信号を発生することだけである。このプロセスは、そのポートがメモリボード 50 にアクセスできることを保証するものとなる。

いったんアクセスが成立してしまうと、アクセスを得たポートは、アドレスゼネレータ 80 の動作により、アドレスバス 56 を介して記憶素子 70 に対する適切なアドレス信号を生成することができる。さらに、メモリボード 50 へのアクセスを入手次第、要求発生調整器 78 は、制御バス 58 のバス 60、62 を介して、適切な読み取りまたは書き込み要求信号を生成する。この読み取りまたは書き込み要求信号は、入力ポートがメモリボード

記憶素子 82 のデータバス端子は、データを書き込み回路 76 の動作次第で、書き込みデータバッファ 84 か読み取りデータバッファ 80 のいずれかを介してデータバス 54 とデータをやり取りするよう結合されている。

動作においては、メモリボード 50 の記憶素子 70 にデータを書き込むか、またはメモリボード 50 の記憶素子 70 からデータを読み取るかのいずれかを希望するポート 52a-i が、制御バス 58 のうち一括統合であるバス 64 を介して適切な調整信号を生成する。この調整信号は、記憶サイクルの各要求リサイクルフェーズ中にポート 52a-i にいもづる式に接続される。この信号の結果として、最も優先度の高いポート 52a-i がメモリボード 50 にアクセスする権利を得る。特に、ポート 52a-i は、最も優先度の高いポートをバス 64 のディジーチェーンに先入れし、最も優先度の低いポートを後入れにするものとしている。優先度の調整は、最も優先度の高いポート 52a-i に、次に優先度の高いポートに NO REQUEST 信号を送らし、またそのポート

- 20 -

50 へのアクセスを得た記憶サイクルの要求サイクルフェーズ中に発生する。例えばポート 52a がメモリボード 50 へのアクセスを入手していると仮定すると、第 7 図に示す記憶サイクル 1 中に、読み取り要求 R1 信号が制御バス 58 のバス 60 を介して要求発生調整器 78 によって生成される。この読み取り要求信号 R1 は記憶衝突検出回路 66 によって、記憶サイクル 1 の要求サイクルフェーズ中に受取られる。読み取り要求信号を入手し、直前の記憶サイクルで書き込み要求信号を全く受取っていない場合、記憶衝突検出回路 66 は、バス 64 上のアドレスデータで識別された記憶素子 70 内のデータを、記憶サイクル 1 の読み取り要求 R1 によって、次の記憶サイクル 2 のアクセスサイクルフェーズ中に記憶素子 70 から読み取りデータバッファ 72 に移動させるという方法で、メモリボード 50 の動作を制御する。同様にして、ポート衝突検出回路 66 は制御バス 58 のバス 60 と 62 を介して読み取りおよび書き込み要求を監視し、直前の記憶サイクルの要求サイクルフェーズにはいかなる書き込み要求もなかったことを知る。この

- 21 -

- 22 -

ためポート衝突検出回路 6 2 は、メモリボード 5 0 か、アドレスゼネレータ 8 0 が送出した要求アドレスからの記憶素子 7 0 のデータを次の記憶サイクル 2 のアクセスサイクルフェーズ中に記憶素子 7 0 から読み取りデータバッファ 7 2 に移動させることを予想することができる。

しかし、第 7 図に示すように、記憶サイクル 2 の要求サイクルフェーズ中に書き込み要求 W 1 が制御バス 5 8 のバス 6 2 上にある場合には、記憶衝突検出回路 6 6 とポート衝突検出回路 7 6 の両方がそれぞれ独立してしかも同時に、記憶サイクル 3 のデータ転送サイクルフェーズ中に衝突が起こり得ることに気付く。この衝突を避けるために、記憶衝突検出回路 6 6 とポート衝突検出回路 7 6 の両方は、予め定めた予定に従って、読み取り要求 R R 1 のデータ転送サイクルフェーズか、書き込み要求 W 1 のデータ転送サイクルフェーズのいずれかを遅延させるようすすめプログラムされている。図示の実施例においては、記憶衝突検出回路 6 6 とポート衝突検出回路 7 6 の両方に予め定めた予定は、いかなるデータ転送サイクルフェーズに

- 23 -

第 7 図に示す読み取りおよび書き込み要求の順番の場合、読み取りデータ R 1 用に次に使用可能なデータ転送サイクルフェーズは、記憶サイクル 7 のデータ転送サイクルフェーズにある。記憶衝突検出回路 6 6 とポート衝突検出回路 7 6 の両方は、記憶サイクル 1 から 6 の要求サイクルフェーズ中に読み取りおよび書き込み要求を監視したことでこの事実に気付く。従って、記憶サイクル 7 のデータ転送サイクル中は、記憶衝突検出回路 6 6 の動作により、読み取り、データバッファ 7 2 が読み取り要求 R 1 のデータをデータバス 5 4 上に最終的に解放することが可能になり、ポート衝突検出回路 7 6 は、読み取りデータバッファ 8 6 の動作によってデータバス 5 4 から読み取り要求 R 1 のデータを受取るように動作する。

アクセスサイクルフェーズの衝突については、第 8 図に示す通り、書き込み要求 W 1 の後に続く読み取り要求 R 1 用の次に使用可能なアクセスフェーズは、読み取り要求を受取った要求サイクルフェーズ後の 2 番目の記憶サイクル（記憶サイクル 4）のアクセスサイクルフェーズ中に発生する。

- 25 -

ついても読み取りデータバッファ 7 2 のデータを遅延させるものである。その結果、記憶サイクル 3 中の、記憶衝突検出回路 6 6 は読み取りデータバッファ 7 4 の動作によってデータバス 5 4 からの書き込みデータ W 1 の転送を実行し、読み取り要求データ R 1 の読み取りデータバッファ 7 2 からデータバス 5 4 への転送を遅延させる。

ポート衝突検出回路 7 6 は、記憶サイクル 2 の要求サイクルフェーズ中に書き込みデータ要求 W 1 があることに気付くと、読み取りデータバッファ 8 6 のいかなる動作も次に使用可能なデータ転送サイクルフェーズまで遅延させる。この遅延は、メモリボード 5 0 と直結やり取りせず、むしろ、制御バス 5 8 の読み取りおよび書き込み要求を監視し、予め定めた予定にしたがって衝突を避けるに必要な遅延を前もって実行するだけで達成される。この予定は、すなわち、図示の実施例では、全ての読み取り要求より全ての書き込み要求を優先するものである。

- 24 -

第 9 図に、本発明による記憶衝突検出回路 6 6 の一実施例を示す。第 9 図に図示されているように、記憶衝突検出回路 6 6 は、ラッチ 1 0 0, 1 0 2, 1 0 4, 1 0 6, 1 1 2, 1 2 2 と、データセレクタ 1 0 8 と、AND ゲート 1 1 0, 1 2 0 と、インバータ 1 1 4, 1 1 8 と、カウンタ 1 1 6 と、読み取りアクセス端子 1 2 4 と、読み取りデータ端子 1 2 6 と、書き込みデータ端子 1 2 8 と、書き込みアクセス端子 1 3 0 とで構成される。制御バス 5 8 のバス 6 0 からの読み取り要求信号は、ラッチ 1 0 0 のデータ端子と、AND ゲート 1 1 0 の第 1 の端子と、インバータ 1 1 4 の入力に結合される。ラッチ 1 0 0 の出力は、データセレクタ 1 0 8 の “0” 入力端子と、ラッチ 1 0 2 のデータ端子とに接続される。ラッチ 1 0 2 の出力端子は、データセレクタ 1 0 8 の “1” 入力に結合される。制御バス 5 8 のバス 6 2 上の書き込み要求信号は、ラッチ 1 0 4 のデータ入力端子と、インバータ 1 1 8 の入力に接続される。次にラッチ 1 0 4 の出力は、AND ゲート 1 1 0 の第 2 の入力に炭され、また WRITE DATA 信号と信

- 26 -

りとしてWRITEデータ出力端子1261に出力される。

ラッチ106の出力は、WRITE ACCESS信号として書き込みアクセス端子130に出力される。ANDゲート110の出力はセット入力としてラッチ112に出力され、インバータ114の出力はラッチ112のクリア入力端子に結合される。ラッチ112の出力はセレクタ108の選択入力端子に結合され、セレクタ108の出力は、読み取りアクセス端子124と、カウンタ116のカウントアップ入力端子とともにREAD ACCESS信号として出力される。カウンタ116の出力はANDゲート120の第1の入力端子に結合され、インバータ118の出力はANDゲート120の第2の入力端子に結合される。ANDゲート120の出力はラッチ122のデータ入力端子に結合され、ラッチ122の出力はREAD DATA信号として、読み取りデータ端子126とカウンタ116のカウントダウン入力端子に結合される。システムクロック信号MEMCYCLKは、ラッチ100、

- 27 -

READ DATA信号は、ANDゲート120とラッチ122の動作によって、連続する書き込み要求信号と同じ数の次の記憶サイクル分だけ遅延される。

第7図に示すように、この遅延は、いかなる書き込み要求信号もバス62上に出力されない記憶サイクル6まで続く。その結果、インバータ118の動作によって正信号がANDゲート120の第2の入力に供給される。従って、次のクロック信号記憶サイクル、すなわち第7図の記憶サイクルでは、ラッチ122の出力が“高”になり、端子126にREAD DATA信号を発生させ、これにより読み取りデータバッファ72からデータバス54へのデータ転送が遅延される。

このため実質的に、ANDゲート120の出力は、データ転送衝突フェーズが全くなく、データ読み取りバッファ72からデータバス54にデータを自由に転送できることを示す。カウンタ116は、次に書き込み要求を受取ったために1つまたは2つの読み取り要求が遅延されたかどうかについてのトラックを維持する。2つの読み取り要求が遅延

102, 104, 106, 107のクロック入力に接続される。

第9図に示す記憶高次操作回路66は、2種類の異なる衝突を検出、処理する。最初に第9図の回路はデータ転送サイクルフェーズの衝突を検出、処理する。この衝突は前に述べた通り、読み取り要求の直後に書き込み要求が続く時に発生する。第7図に示すように記憶リサイクル1の読み取り要求R1の直後に記憶サイクル2の書き込み要求W1が続く場合、データ転送サイクルフェーズの衝突が記憶サイクル3で発生する予定になっている。この衝突を避けるため、記憶サイクル2では、バス62上の書き込み要求がインバータ118を介してANDゲート120に伝達され、ラッチ122の出力が記憶サイクル3で“低”になる。記憶サイクル2に書き込み要求がなければ、ラッチ122の出力は原則として“高”になり、記憶サイクル3で端子126にREAD DATA信号を出力し、第1図の読み取りデータバッファ72からデータバス54にデータを読み取らせるはずである。しかし、記憶サイクル2には書き込み要求があるので、この

- 28 -

された場合には、カウンタ116は、他に衝突が全く検出されないと仮定して、次の記憶サイクルで、2番目に選択された読み取り要求データを読み取りバッファ72からデータバス54に転送することを保証する。

第9図の回路の動作によって検出、防止された衝突の第2の形態は、第4図と第8図に示した種類の、起こり得るアクセスサイクルフェーズの衝突である。この種の衝突は、書き込み要求の後に読み取り要求が続く時に発生し、ラッチ112の動作によって検出される。特に第8図の例について言えば、記憶サイクル2の読み取り要求R1はANDゲート110の第1の入力で受取られ、同時にラッチ104からの書き込み要求W1がANDゲート110の第2の入力で受取られ（書き込み要求W1はラッチ104の動作によって1記憶サイクル分遅延されている）、ANDゲート110の出力が論理“高”となり、ラッチ112を設定する。ラッチ112の設定によって、セレクタ108の出力が記憶サイクル2で“0”入力から“1”入力にシフトされる。このため、読み取り要求R0が

- 29 -

- 30 -

記憶サイクル1の書込み要求W1の直前に受取られている場合には、ラッチ102の出力は“高”となり、セレクタ108の出力を“高”にし、記憶サイクル2で出力端子124にREAD ACCESS信号を発生させるはずである。しかし、記憶サイクル3では、ラッチ102の出力は“低”となり、これによりセレクタ108が記憶サイクル3の時に端子124に“低”的出力を出し、記憶サイクル3のアクセスサイクルフェーズでの衝突を防止するはずである。

実質的に、記憶素子70からの読み取りデータバッファ72へのデータ転送は、セレクタ108とラッチ112の動作によって、バス62を介して次の書込み要求を受取らなくなるまで遅延され続けるであろう。第8図では、記憶サイクル3で書込み要求を全く受取らない。従って、ラッチ112は記憶サイクル3でセレクタ108を解放し、ラッチ110の出力が次の記憶サイクル4でセレクタ108を通過し、読み取りアクセス端子124に連することが可能になる。このようにして、アクセスサイクルフェーズ中の衝突は防止さ

れる。

第10回は、読み取りデータバッファ72と、書込みデータバッファ74と、記憶素子70のブラック回路であって、第9回のREAD ACCESS信号、READ DATA信号、WRITE ACCESS信号、WRITE DATA信号をより詳細に示す。特に第10回でわかるように、第9回の端子124のREAD ACCESS信号は記憶素子70から読み取りバッファ72へのデータ転送を制御し、第9回の端子125からのREAD DATA信号は読み取りバッファ72からデータバス54へのデータ転送を制御する。同様に、第9回の端子128のWRITE DATA信号はデータバス54から書込みバッファ74へのデータ転送を制御し、第9回の端子130のWRITE ACCESS信号は書込みバッファ74から記憶素子70へのデータ転送を制御する。

ここで第1回のポート衝突検出回路76について第11回を参照してより詳細に説明する。第11回に示す通り、ポート衝突検出回路76は、ラッチ200, 204, 206, 208, 210,

- 31 -

- 32 -

212, 214, 216と、データセレクタ218, 220と、カウンタ222, 224と、比較器226と、インバータ228, 230, 232と、ANDゲート234, 236, 238と、書込みデータ端子224と、読み取りデータ端子246とで構成される。ポート衝突検出回路76は、クロック信号MEMCYCLKと、制御バス58のバス60を介した読み取り要求信号と、制御バス58のバス62を介した書込み要求信号とを受取るだけでなく、要求発生調整器78（第1回）からバス240を介したポート読み取り要求信号と、要求発生調整器78からバス242を介したポート書込み要求信号も受取る。制御バス58上の読み取り要求信号と書込み要求信号は、どの入出力ポートでも発生できるであろうが、バス240と242のポート読み取り要求信号とポート書込み要求信号は、ポート52a独特のものである。このため、バス240と242のポート読み取り要求信号とポート書込み要求信号はポート衝突検出回路76に対して、これらの特定の要求のために実際にメモリボード50へのアクセスがボ-

ト52aに行えられていることを知らせるものである。

メモリボード50との効果的なやり取りを行うためには、本発明によれば、ポート52aが制御バス58との適切なやり取りを維持して、ポート5aから発生されたこれらの特定の読み取り要求と書込み要求の前後にその他のどの読み取り要求や書込み要求が来るかを判定することも必要になる。このため、バス240のポート読み取り要求信号はラッチ200のデータ入力に結合され、バス242のポート書込み要求信号はラッチ210のデータ入力に結合され、バス60の読み取り要求信号はラッチ204のデータ入力に結合され、バス62の書込み要求信号はラッチ208のデータ入力に結合される。バス60の読み取り要求信号もANDゲート234の第1の入力と、インバータ228の入力に結合され、バス62の書込み要求信号もインバータ230, 232の入力に結合される。

ラッチ200の出力はセレクタ218の“0”入力端子とラッチ202のデータ入力端子に結合

- 33 -

- 34 -

される。同様にして、ラッチ204の出力はセレクタ220の"0"入力端子とラッチ206のデータ入力端子に結合される。ラッチ208の出力はANDゲート234の第2の入力に結合され、ラッチ210の出力はWRITE DATA信号として書き込みデータ端子244に結合される。

ANDゲート234の出力はラッチ212のセット入力に結合され、インバータ228の出力はラッチ212のリセット入力に結合される。ラッチ212の出力はセレクタ220とセレクタ218の両方の選択入力に結合され、ラッチ206の出力は、セレクタ220の"1"入力端子に結合され、ラッチ202の出力はセレクタ218の"1"入力に結合される。セレクタ218と220の出力はカウンタ222と224のそれぞれの入力端子に結合される。カウンタ222と224の出力は比較器226のそれぞれの入力端子に結合され、比較器226の出力はANDゲート236の第1の入力に結合される。

カウンタ224の出力もANDゲート238の第2の入力に結合される。インバータ230の出

力はANDゲート236の第2の入力に結合され、インバータ232の出力はANDゲート238の第2の入力に結合される。ANDゲート236の出力はラッチ214のデータ入力に結合され、ANDゲート238の出力はラッチ216のデータ入力に結合される。ラッチ214の出力は、読み取りデータ端子246に結合され、カウンタ222のカウントダウン入力にも結合される。ラッチ216の出力はカウンタ224のカウントダウン入力に結合される。

第11回の回路の動作は、制御バス58のデータ読み取り要求とデータ書き込み要求の使用順序に応じ、しかも予め定めた予定期に従って、特定のポートとデータバス54との間のデータ転送を制御する。前に述べた通り、本発明の実施例においては、この予め定めたルールは、全ての読み取り要求より全ての書き込み要求を優先するものである。

(以下余白)

- 35 -

- 36 -

ただし、その他のルールについても考え得る。

第11回の回路は、メモリボード50の記憶衝突検出回路66に同期して動作しなければならないが、実際には、制御バス58上の同一の読み取り要求信号と書き込み要求信号を同時に受取る以外には、メモリボード50と何ら相互伝達を行わない。第11回の回路において、バス50の読み取り要求とバス52の書き込み要求を受取るために結合された部分は、本質的には第9回に示す記憶衝突検出回路66と同様に動作する。しかし、第11回の回路はさらに、制御バス58の読み取り要求と書き込み要求が、第11回の回路が接続されているポートに常に適用可能場合を判定できるようにするため、ポート読み取り要求信号とポート書き込み要求信号の受取りをも含むものである。このためREAD DATA信号は、第9回の回路の端子126にREAD DATA信号が出力されるのと同期して、端子246に出力される。ただしこの場合、第9回の端子126でREAD DATA信号となる読み取り要求信号は、第11回の回路に接続した入出力ポートに適用可能なものとする。

同様に、第9回の出力端子128にWRITE DATA信号が出力されるのと同期して、WRITE DATA信号が第11回の回路の出力端子244に出力される。この場合、出力端子128のWRITE DATA信号に関連する書き込み要求信号は、第11回に関連する入出力ポートに対応するものとする。

第12回は、第1回の書き込みデータバッファ84と読み取りデータバッファ86を示す回路であって、第11回の端子244のWRITE DATA信号がどのように動作して書き込みバッファ84からデータバス54へデータ転送するか、また第11回の端子246のREAD DATA信号がどのように動作してデータバス54から読み取りバッファ86へデータ転送するかを示すものである。

本発明の実施例の動作について、第13回に示す記憶サイクルと、第9回、第10回、第11回、第12回の回路を参照して以下に簡単に説明する。特に第9回と第11回には、連続して逐次混合したデータ読み取り要求信号データ書き込み要求信号を逐ぶ制御バス58が、バス50と52の形で示さ

- 37 -

- 38 -

れている。第13回に示す通り、终端バス58のデータ読み取り信号R1、R2、R3、R4の形をとり、出込み信号はW1、W2、W3、W4の形をとる。第10回の記憶素子70はデータを保持する手段となり、読み取りバッファ72は記憶素子からデータバス54へデータを読み取る第1の手段となり、出込みバッファ74はデータバス54から記憶素子70にデータを出込む第2の手段となる。第9回の記憶衝突検出論理66は、バス60の読み取り要求信号に応じて読み取りバッファ72を利用し、バス62の出込み要求信号に応じて出込みバッファ74を利用する機構となり、逐次混合されたデータ読み取りおよび出込み要求信号を連続して逐次受取り、次に実行できるようにする。換言すると、第9回の回路は、空の中間要求サイクルフェーズを必要とせずに、第13回の読み取り要求R1からR4と出込み要求W1からW4を連続する記憶サイクルの要求サイクルフェーズで受取り、その後それを実行できるように動作する。ただし、前に述べた通り、この実行は必ずしも読み取りおよび出込み要求信号を受取った正確な順番通り

- 39 -

でREAD DATA信号とWRITE DATA信号を同時生成するのを防止し、端子124と130でREAD ACCESS信号とWRITE ACCESS信号を同時生成するのを防止する。その代わりとして、第9回の回路は、そのような衝突に関係する予定のREAD DATA信号を、追加のWRITE DATA信号が要求されなくなるまで遅延させるように動作する。さらに第9回の回路は、衝突に関係する予定のREAD ACCESS信号を、追加のWRITE ACCESS信号が要求されなくなるまで遅延させるように動作する。

第13回の読み取り要求および出込み要求信号について言えば、最初の読み取り要求R1を受取った時にはいかなる衝突も予想されない。第2の読み取り要求R2を記憶サイクル2で受取った時にも衝突は予想されない。しかし記憶サイクル3で出込み要求1を受取ると、記憶サイクル4で読み取り要求R2のデータ転送サイクルフェーズとの衝突が予想される。この予想される衝突は、第9回の回路ではANDゲート120の動作によって、第

- 41 -

りでなくてもよい。

にもかかわらず、読み取りおよび出込み要求信号の受取りとその後の実行は、100%の帶域幅利用が達成されるシーケンスで発生する。この100%の帯域幅利用は、第13回の逐次混合されたデータ読み取りおよび出込み要求信号を受取った結果、データ読み取りバッファ72とデータ出込みバッファ74が記憶素子70および/またはデータバス54にアクセスしなければならない時に起こり得る衝突を解消する第9回の回路の動作によって達成される。

特に第9回の回路は、データ読み取りバッファ72よりデータ出込みバッファ74に有利になるように、起こり得る衝突を解決する。さらに、第11回の回路は、第13のデータ読み取りおよびデータ出込み要求に応じて、第10回の読み取りバッファ72と出込みバッファ74のそれぞれの利用に同期させて第12回の読み取りバッファ86と出込みバッファ84の動作を制御する。

より具体的に言うと、第9回の回路は、いかなる特定の記憶サイクルでも、端子126と128

- 40 -

11回の回路ではANDゲート238によって検出される。次のいずれかの記憶サイクルに引き連続して受取った出込み要求信号がある場合は、その存在がANDゲート120と128の出力を“低”論理レベルに維持し、このため、端子126と246のREAD DATA信号の出力を読み取り要求R2分だけ遅延させる。

第13回の記憶サイクル回路では、この遅延は、読み取り要求R3を受取る記憶サイクル5まで続き、こにより次の記憶サイクルでANDゲート120と128を“低”論理レベルから“高”論理レベルへ解放し、読み取り要求R2に隣接するデータを記憶サイクル6のデータ転送サイクルフェーズで読み取りバッファ72からデータバス54へ、またデータバス54から読み取りバッファ86へ転送できるようになる。

しかし、記憶サイクル4で出込み要求R2を受取った後に記憶サイクル5で読み取り要求R3を受取ると、記憶サイクル6のアクセスサイクルフェーズで衝突が予想される。この予想された衝突は、第9回の回路のラッチ112と第11回の回路の

- 42 -

ラッチ 112 の動作によって検出される。特にいったん選択された書き込み要求 R2 が AND ゲート 110 と 234 への 1 つの入力として存在し、読み取り要求 R3 は記憶サイクル 5 で AND ゲート 110 と 234 へのもう 1 つの入力として存在する。これにより、ラッチ 112 と 212 の出力が記憶サイクルサイクル 6 でセレクタ 108 と 220 を "1" 入力端子状態に設定することになる。このセレクタ 108 と 220 の設定は、読み取り要求 R3 のために端子 124 で READ ACCESS 信号を出力するのを AND ゲート 110 と 234 で検出した通り、次の書き込み要求をバス 62 を介して受取らなくなるまで選択させるものである。次に第 13 図の例においては、記憶サイクル 4 でいかなる書き込み要求も受取っていない。従って、ラッチ 112 と 212 は、セレクタ 108 と 220 を "0" 入力端子構成にリセットするように動作し、記憶サイクル 7 で端子 124 での READ ACCESS 信号が可能になる。

記憶サイクルでは、書き込み要求 W3 が読み取り要求 R4 に統合して受取られており、これにより記憶

- 43 -

ル 4 で单一の空のアクセスサイクルフェーズが発生し、記憶サイクル 7 で单一の空のデータ転送サイクルフェーズが発生することになるが、その後、本発明の教義に従って 100% の帯域幅能力が達成される。このため、記憶サイクル 8 以降の次の要求サイクルフェーズは、読み取り要求が書き込み要求のいずれかで完全にふさいでもよく、その結果、100% の帯域幅利用となる。

第 8 図のアドレスバッファ 68 とアドレスゼネレータ 80 の構成は、記憶衝突検出論理 66 とポート衝突検出論理 76 の予め定めた予定に従ってアドレスの生成と伝送を選らせることができるようなものでなければならないことを理解すべきである。このため、アドレスバッファ 68 は、例えば 2 個の FIFO バッファで構成し、そのうちの 1 個を書き込み要求に適応するアドレスの受取り用とし、もう 1 個を読み取り要求に適応するアドレスの受取り用としてもよい。記憶衝突検出論理 66 は、衝突を避けるために論理 66 が使用する予め定めた予定に従ってこれらのバッファにアクセスするだけである。同様に、アドレスゼネレータ

サイクリクルのデータ転送サイクルフェーズ中に起こり得る衝突のためのステップが設定される。しかし、この衝突は、AND ゲート 1120 が起こり得る衝突を検出し、読み取り要求 R3 については記憶サイクル 8 で、また読み取り要求 R4 については記憶サイクル 9 で出力端子 126 の READ DATA 信号を遮断される、第 9 回の同期動作によって避けられる。この差異は次の書き込み要求を受取らなくなるまで続く、すなわち、記憶サイクル 9 まで選択が続くのである。記憶サイクル 9 に書き込み要求がなければ、記憶サイクル 9 で AND ゲート 120 を解放し、次にこれによって記憶サイクル 10 で読み取り要求 R3 用の READ DATA 信号が負担される。カウンタ 116 の動作は、2 つの記憶要求が選択された事実を記録し、次の READ DATA 信号を記憶サイクル 11 で端子 126 に出力できるようにすることである。

本発明の記憶装置の始動には、アクセスサイクルフェーズでの 1 記憶サイクル分の選択と、データ転送サイクルフェーズでの 1 記憶サイクル分の選択が必要で、その結果、第 13 図の記憶サイク

- 44 -

80 は読み取り要求アドレス FIFO と書き込み要求アドレス FIFO とで構成してもよい。この 2 つの FIFO は同じようにポート衝突検出論理 76 の動作の下で制御される。

標準の高速記憶技術が本発明のアーキテクチャに適用できることも当該技術に精通した者には理解されるであろう。例えば、多重データバスを使用して、本発明の 100% の帯域幅能力を活用してもよい。これに関して言えば、多重データ読み取りおよびデータ書き込みバッファも多重データバスにインクリーブ接続して使用してもよい。

本発明の高速記憶装置および関連の方法は特に CT スキャナの技術に応用できる。特に本発明は、大量の処理と、高度の解像投影能力と、高域の入出力帯域幅を必要とする第 4 世代の CT 装置に応用可能である。とりわけ本発明の構成は、インターリーピングや広いワードサイズ等の公知の技術と組み合せて使用すると、現在の 256 K DRAM 技術を使用した 32 MB の記憶装置によって 400 MB/s の転送速度を達成できる。本発明の独特のアーキテクチャを利用することによっ

- 45 -

- 46 -

て、記憶装置の数値と記憶装置の種類をどのように組合しても、各自の領域転換力とマルチポート能力が得られる。

その他の利点や更には、当該技術に精通した者には容易に想いつくであろう。このため、本発明は、ここに示し、説明した特定の詳細かつ代表的な方法や例に限定されるものではない。その代わりに、出願人の一般的な発明概念の精神または範囲から逸脱せずに、このような詳細から発展させてもよい。

[発明の効果]

以上述べた通り本発明によれば、逐次混合されたデータ読み取りおよびデータ書き込み要求信号を運ぶ制御バスと、データバスとを備えた高速記憶装置において、単純する逐次混合したデータ読み取りおよびデータ書き込み要求信号に対して設けられたデータ読み取りバッファおよびデータ書き込みバッファを用いて記憶手段およびノーマルデータバスへのデータ転送を所定期間延長させることによって、連続する逐次読み取り要求及び書き込み要求に基づくデータ転送時の衝突を避けることができ且つデータ

- 47 -

- 48 -

路図であり、第10図は、第1図のメモリボードの読み取りおよび書き込みバッファをさらに詳しく示す図であり、第11図は、第1図のポート衝突検出回路の論理回路図であり、第12図は、第1図の入出力ポートの読み取りおよび書き込みバッファを示す図であり、第13図は、本発明の原理に基づく記憶装置とともに用いる記憶サイクルを示す図である。

記憶手段…70, 記憶衝突検出論理…66
データバス…58, アドレスバッファ…68
アドレスバス…56,
読み取りデータバッファ…72, 86
制御バス…58,
書き込みデータバッファ…74, 184
要求発生回路…78
アドレス発生器…80
ポート衝突検出回路…76
データポート記憶装置…82
入出力ポート…52

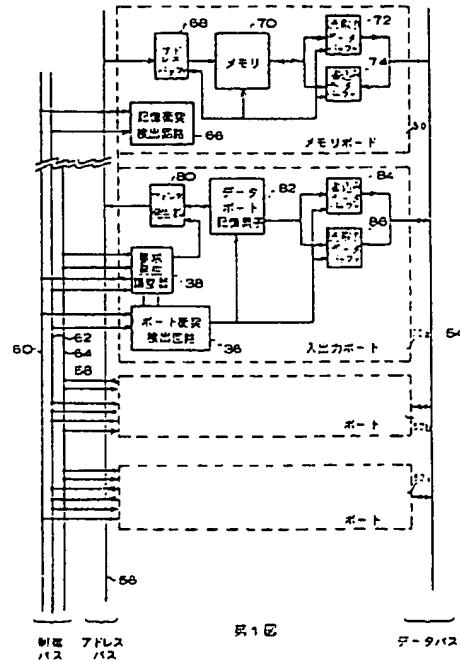
代理人弁理士 前 近 岩 佑
同 大 胡 典 夫

- 49 -

タバスの有効帯域幅を100%で利用したデータを送可燃にするものである。

4. 図面の簡単な説明

第1図は、本発明による記憶装置のブロック図であり、第2図は、従来の記憶装置のブロック図であり、第3図は、第2図に示す従来の記憶装置の記憶サイクルを示す図であり、第4図は、第2図に示す従来の記憶装置の衝突発生中の記憶サイクルを示す図であり、第5図は、第2図の従来装置の記憶サイクルを示す図として、一連の読み取り要求の後に一連の書き込み要求が続き、さらにその後に一連の読み取り要求が続いているものを示し、第6図は、第2図の従来装置の記憶サイクルを示す図であって、单一の読み取り要求のそれぞれの後に单一の書き込み要求が続き、さらにその後に一連の読み取り要求が続いているものを示し、第7図は、本発明に基づき連続して逐次の読み取りおよび書き込み要求を実行する方法を示す図であり、第8図は、本発明に基づき連続して逐次の書き込みおよび読み取り要求を実行する方法を示す図であり、第9図は、第1図の本発明による記憶衝突検出回路の論理回



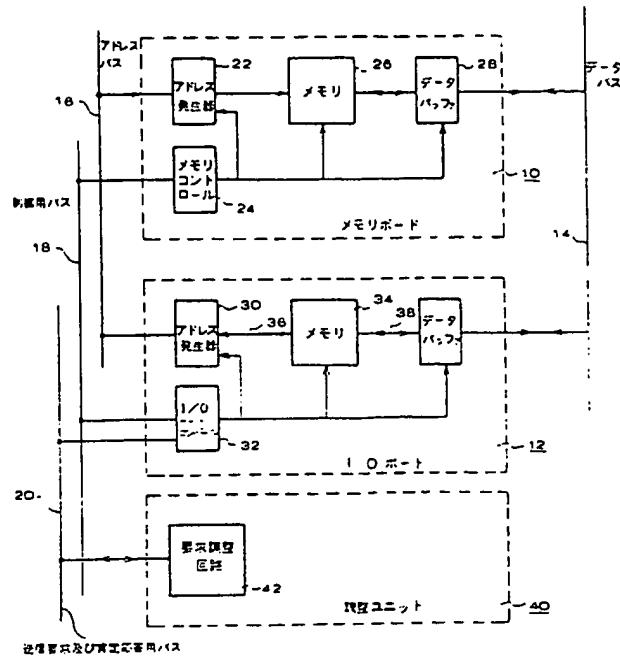


図2図

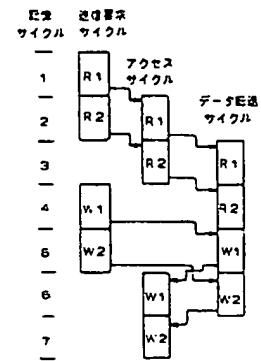


図3図

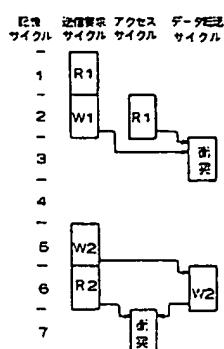


図4図

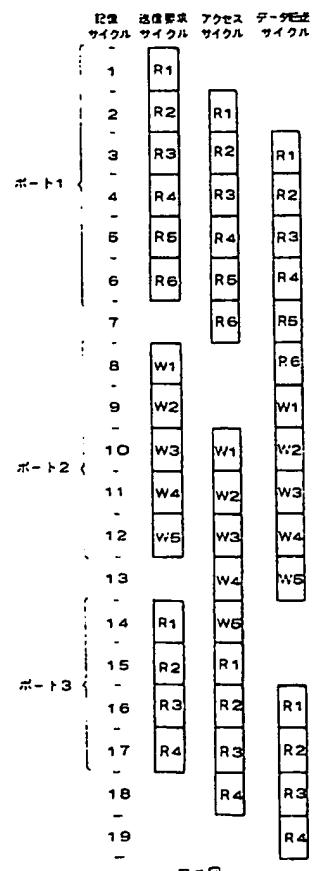
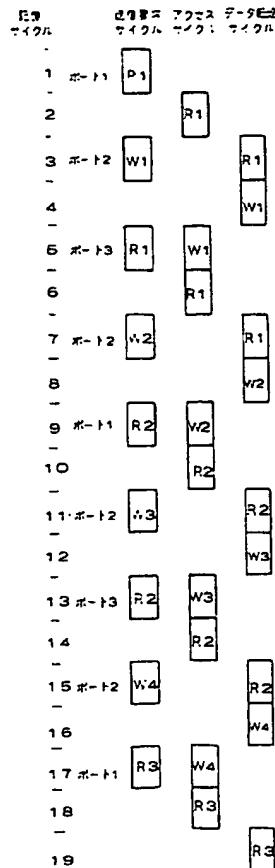
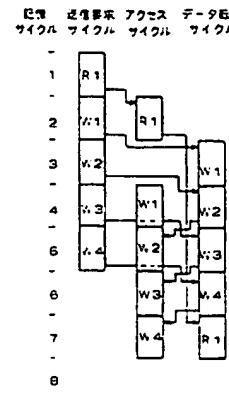


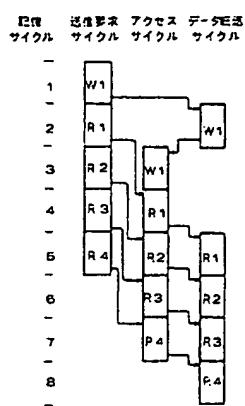
図5図



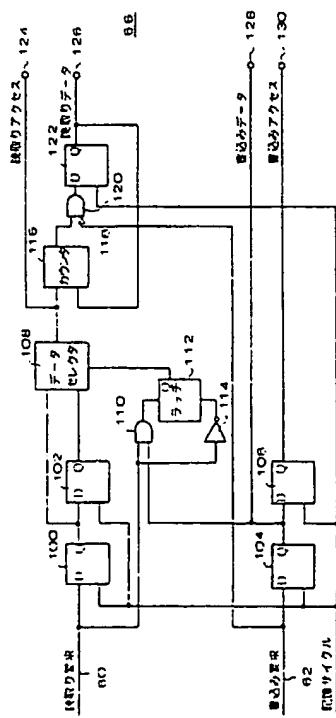
第 6 四



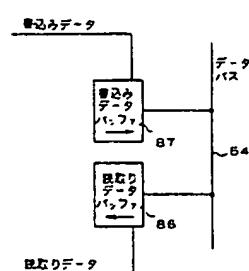
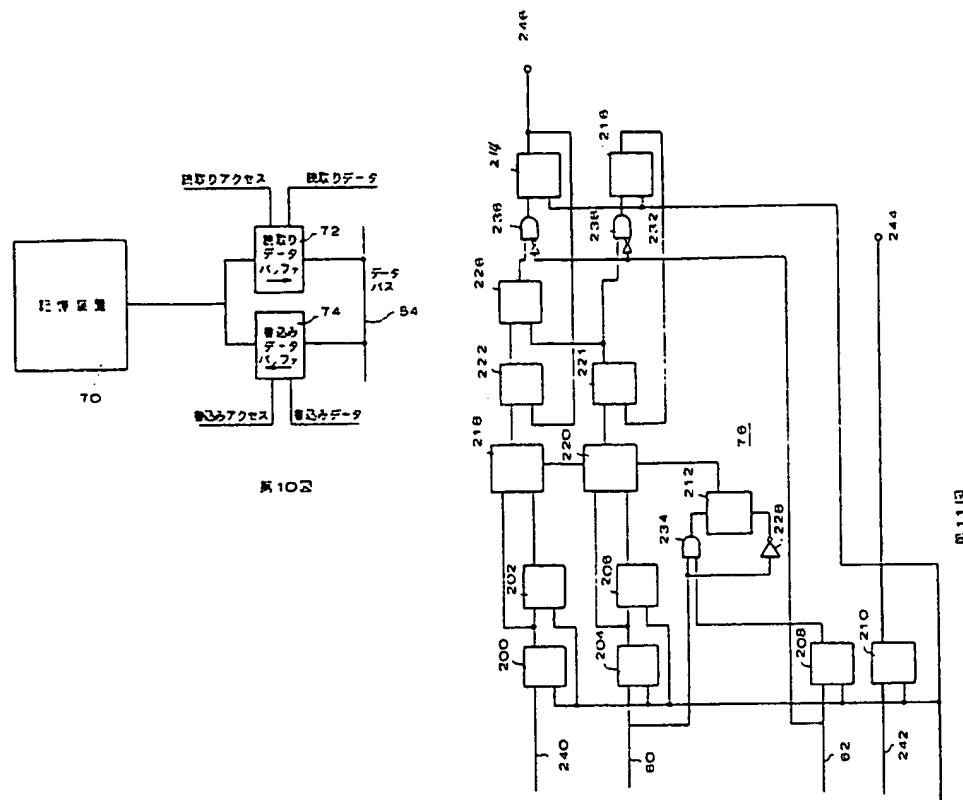
四七四



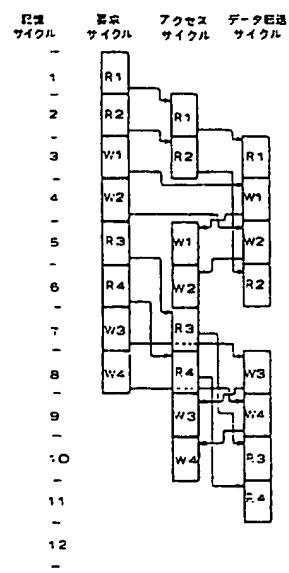
第8章



३६४



五 125



E 133